

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/002047

International filing date: 10 February 2005 (10.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-033943
Filing date: 10 February 2004 (10.02.2004)

Date of receipt at the International Bureau: 30 June 2005 (30.06.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 2 月 1 0 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 0 3 3 9 4 3

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 4 - 0 3 3 9 4 3

出 願 人
Applicant(s): 独立行政法人科学技術振興機構

2 0 0 5 年 6 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】	特許願
【整理番号】	2003P325
【あて先】	特許庁長官殿
【国際特許分類】	H01L 21/027 G06F 17/50 G06F 17/60
【発明者】	
【住所又は居所】	福岡県宗像市日の里 1－2 8－1 0 4－4 0 4
【氏名】	川本 洋
【特許出願人】	
【識別番号】	503360115
【氏名又は名称】	独立行政法人科学技術振興機構
【代理人】	
【識別番号】	100099634
【弁理士】	
【氏名又は名称】	平井 安雄
【電話番号】	092-414-3157
【手数料の表示】	
【予納台帳番号】	030719
【納付金額】	21,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1

【書類名】 特許請求の範囲

【請求項 1】

パターン情報に基づいてマスクを用いることなく集積回路を作成するマスクレス工程及びパターン情報に基づいてマスクを用いて集積回路を作成するマスク工程に用いることができる共用設計環境下でマスクレス工程及びマスク工程に対応した試作用のパターン情報に基づき集積回路の試作をマスクを用いず作成し評価を経て必要に応じて改良を加え共通パターン情報を作成し、当該共通パターン情報に改良を加えることなく必要に応じて形式的変換を行って量産用のマスクを生成して使用することを

特徴とする集積回路の設計方法。

【請求項 2】

前記請求項 1 に記載の集積回路の設計方法において、

前記共用設計環境は、集積回路の製造に必要な E D A (Electronic Design Automation) ソフト、検証ソフト、セルライブラリー、I P (Intellectual Property)、O P C (Optical and Process Correction) 処理ソフト等の設計 T o o l からなる設計環境を、前記マスクレス工程及びマスク工程で共用可能な形式で構築してなることを

特徴とする集積回路の設計方法。

【請求項 3】

前記請求項 1 または 2 に記載の集積回路の設計方法において、

複数の異なる集積回路、同一機能の集積回路ながら複数のパラメータを条件を持った複数の集積回路又はこれらの集積回路の組み合わせのパターン情報に基づき試作をマスクを用いず同一のウエーハ上に焼き付けて作成することを

特徴とする集積回路の設計方法。

【請求項 4】

外部要求に応じて前記請求項 3 の集積回路の設計方法を用いて作成したウエーハ上の複数のチップのうち指定されたチップに係る共通パターン情報に基づきマスクを作成し、当該マスクを用いてチップを大量生産することを

特徴とする集積回路の製造方法。

【請求項 5】

コンピュータを、集積回路の機能設計及び／又は論理設計を経て作成される設計情報を、パターン情報に基づいてマスクを用いることなく集積回路を作成するマスクレス装置のパターン特性及びパターン情報に基づいたマスクを用いて集積回路を作成するマスク装置のパターン特性を満たしたパターン情報に変換する変換手段として機能させることを

特徴とする集積回路設計支援プログラム。

【請求項 6】

前記請求項 5 に記載の集積回路設計支援プログラムにおいて、

前記変換手段がマスクレス装置のパターン特性及びマスク装置のパターン特性を満たしたパターン構成図の集合である共用セルライブラリーを用いてパターン情報に変換することを

特徴とする集積回路設計支援プログラム。

【請求項 7】

前記請求項 5 または 6 に記載の集積回路設計支援プログラムがコンピュータに読込まれることによる集積回路設計支援装置と、前記マスクレス装置及びマスク装置とを備え、

当該集積回路設計支援装置がパターン情報又はマスクレス装置に入力可能な形式のパターン情報に準じる準パターン情報をマスクレス装置に出力し、マスクレス装置が当該パターン情報又は準パターン情報に基づき集積回路の試作を作成し、当該試作に対して評価を行い必要に応じて改良を加えられた共通パターン情報に基づいたマスクをマスク装置が用いてチップを量産することを

特徴とする集積回路設計システム。

【請求項 8】

前記請求項 7 に記載の集積回路設計システムにおいて、

前記変換手段が電子ビーム直接描画装置の電子ビーム幅により形成される繋ぎ目をアクティブ領域を避けたパターン情報に変換することを
特徴とする集積回路設計システム。

【請求項 9】

前記請求項 7 または 8 に記載の集積回路設計システムにおいて、

前記変換手段が変換したパターン情報をさらにマスク装置用に OPC 処理を施したパターン情報に変換することを
特徴とする集積回路設計システム。

【請求項 10】

前記請求項 7 ないし 9 のいずれかに記載の集積回路設計システムにおいて、

前記マスクレス装置が複数の前記パターン情報又はマスク装置に入力可能な形式のパターン情報に準じる準パターン情報に基づき試作をマスクを用いず同一のウエーハ上に焼き付けて作成することを

特徴とする集積回路設計システム。

【請求項 11】

前記請求項 7 ないし 10 のいずれかに記載の集積回路設計システムにおいて、

外部要求に応じて前記同一ウエーハ上の指定されたそれぞれのチップに係る共通パターン情報に基づいたマスクをマスク装置で用いてチップを量産することを

特徴とする集積回路設計システム。

【書類名】 明細書

【発明の名称】 集積回路の設計方法、集積回路の設計方法に用いる設計支援プログラム及び集積回路設計システム

【技術分野】

【0001】

本発明は、集積回路の設計方法に関し、特に、レイアウト／マスク設計での集積回路の設計方法、並びに、この製造方法に関する設計支援プログラム及び集積回路設計システムに関する。

【背景技術】

【0002】

集積回路の設計は、機能設計、論理設計、レイアウト／マスク設計からなる。機能設計で集積回路に搭載する機能を決定し所定の記述方法（機能図、ハードウェア記述言語（HDL）、論理式、真理値表、C言語等を用いたプログラムリスト）で機能仕様書等の機能設計情報を作成し、この作成した機能仕様情報に基づき論理設計で半導体技術を考慮してトランジスタやブロックなどの接続関係を示すネットリスト等の論理設計情報を作成し、レイアウト／マスク設計で論理設計情報に基づき量産用のパターン情報を作成する。レイアウト／マスク設計では、量産用のマスクパターンを作成するために、試作のチップを作成して評価解析するのであるが、試作作成にマスクを用いるか否かの違いで、2つの設計方式があり、マスクを用いる方がマスク試作方式であり、マスクを用いない方がマスクレス試作方式である。

【0003】

前者のマスク試作方式は、論理設計情報に基づき試作用のパターン情報を作成し、このパターン情報に基づきマスクを作成しチップを完成させ、このチップに対して評価し、評価の結果所望の特性・歩留まりが得られない場合には設計をやり直しパターン情報を作成し直し、評価の結果が所望の特性・歩留まりが得られるまで繰り返し行われる方法である。

【0004】

後者のマスクレス試作方式は、論理設計情報に基づき試作用のパターン情報を作成し、このパターン情報に基づきマスクを作成することなくチップを完成させ、このチップに対して評価し、評価の結果所望の特性・歩留まりが得られない場合には設計をやり直しパターン情報を作成し直し、評価の結果が所望の特性・歩留まりが得られるまで繰り返し行われる方法である。マスクを作成することなくパターン情報に基づいてチップを完成させる方法は、多種の方法が提案されているが、例えば、電子ビーム直接描画方式を実装した電子ビーム直接描画装置を用いて行われる。このマスクレス試作方式のメリットは、試作時にマスクが不要であって修正を何度しても、高額なマスク費用が掛からないという点であり、微細化傾向の続くマスクの高騰に対する解決策として期待されている。

【0005】

なお、マスク試作方式及びマスクレス試作方式を適用した開発の流れそれぞれ図9または図10に示す。マスク試作方式を適用した開発の流れは、顧客（Setメーカー）でシステム設計（ステップ101）をし半導体メーカーに対して試作発注を設計書を伴って行う（ステップ102）。顧客又は顧客の製品によってシステム設計がどの段階まで終了しているかは様々であり、前記論理設計も終わっている場合もあれば、機能設計のみ終わっている場合、要求仕様だけ決まっている場合もあり、それにより半導体メーカーに渡す設計書も異なる。設計書を受け取った半導体メーカーは、マスク試作方式の設計環境となるEDAソフト、セルライブラリ、レイアウトルール、IP等の設計Toolを使用してLSI設計を設計書に基づき行ってパターン情報を作成する（ステップ103）。このパターン情報を用いてマスク作成装置を用いて試作用マスクを作成する（ステップ104）。このマスクを光露光装置にセットしてウエーハ上にチップを作成し（ステップ105）、チップに対して各種評価を実施する（ステップ106）。評価の結果特性、歩留まり等の仕様要求を満たさない場合には、原因となった工程に戻る。評価の結果仕様要求を満たした場合には、半

半導体メーカーが顧客（Setメーカー）に対してWS（Working Sample）を納入し（ステップ107）、顧客（Setメーカー）はかかるWSを評価する（ステップ108）。評価の結果顧客（Setメーカー）が変更を要すると判断した場合には顧客システム設計に移行して再び試作・発注を行う。評価の結果顧客（Setメーカー）が変更を要しないと判断した場合には半導体メーカーに対して量産発注を行い（ステップ109）、半導体メーカーは量産発注を受けた時の試作用マスクと同一の量産用マスクを用いて量産を行う（ステップ110）。製品を製造した後顧客（Setメーカー）にかかる製品を納品する（ステップ111）。

【0006】

次に、マスクレス試作方式を適用した開発の流れは、顧客（Setメーカー）でシステム設計をし（ステップ201）半導体メーカーに対して試作発注を設計書を伴って行う（ステップ202）。設計書を受け取った半導体メーカーは、マスクレス試作方式の設計環境（電子ビーム直接描画装置を試作用のチップ作成に用いた場合には、図10に示すように直接描画用の設計環境となる。以下、マスクレス試作方式の一例である電子ビーム直接描画装置を用いた場合について説明することとする。）となるEDAソフト、セルライブラリ、レイアウトルール、IP等を使用してLSI設計を設計書に基づき行ってパターン情報を作成し（ステップ203）電子ビーム直接描画装置を用いてこのパターン情報に基づき直接描画してウエーハ上にチップを作成し（ステップ204）、チップに対して各種評価を実施する（ステップ205）。評価の結果特性、歩留まり等の仕様要求を満たさない場合には、原因となった工程に戻る。評価の結果仕様要求を満たした場合には、半導体メーカーが顧客（Setメーカー）に対してWS（Working Sample）を納入し（ステップ206）、顧客（Setメーカー）はかかるWSを評価する（ステップ207）。評価の結果顧客（Setメーカー）が変更を要すると判断した場合には顧客システム設計に移行して再び試作・発注を行う。評価の結果顧客（Setメーカー）が変更を要しないと判断した場合には半導体メーカーに対して量産発注を行う（ステップ208）。半導体メーカーはマスク試作方式の設計環境となるEDA Tools、Cell Library、レイアウトルール、IP等を使用して量産発注を受けた時のパターン情報に基づき量産のための試作用マスクを作成する（ステップ209）。このマスクを光露光装置にセットしてウエーハ上にチップを作成し、チップに対して各種評価を実施する（ステップ210）。評価の結果前記電子ビーム直接描画装置により作成されたチップと同一のものができない場合には、パターン情報又は試作用マスクに対して修正を行う。評価の結果評価の前記電子ビーム直接描画装置により作成されたチップと同一のものができた場合には、半導体メーカーは試作用マスクと同一の量産用マスクを用いて量産を行う（ステップ211）。製品を製造した後顧客（Setメーカー）にかかる製品を納品する（ステップ212）。

【発明の開示】

【発明が解決しようとする課題】

【0007】

背景技術のマスクレス試作方式は上記に記載した通りで、確かに、試作時にはマスク費用が掛らずマスク試作方式と比べ全体として設計費用を低減させることはできるものの、試作時に直接マスクを用いてチップを作成して評価をしておらず、すなわち、試作時に作成されたチップと量産時に作成されたチップとが一致せず、試作時に完成したパターン情報を量産用のパターン情報とするために、再び実際のパターン情報に基づいてチップを試作し評価する工程を所望の特性・歩留まりが得られるまで行う必要があり、費用、開発期間の面で必ずしも期待した程の効果が得られないという課題を有する。例えば、試作時に電子ビーム直接描画装置を用いてマスクを作成することなくパターン情報に基づいてチップを作成し評価を行ってパターン情報を完成させ、次に、この完成させたパターン情報に基づき実際にマスクを作成して光露光装置を用いてチップを作成し評価を行って量産用のパターン情報を作成しており、電子ビーム直接描画装置の特性と光露光装置の特性の相違から試作用のパターン情報とは別途量産用のパターン情報を試作用のパターン情報を改良して作成しなければならないという手間が生じる。ここで、試作用のパターン情報と量産

用のパターン情報が形式的な変換であれば設計者が介することなく行われるので問題がないが、試作のチップを作成する装置の特性と量産のチップを作成する装置の特性とが異なり、試作のチップを作成する装置の特性のみを考慮して作成されたパターン情報を、量産のチップを作成する装置の特性を考慮したパターン情報に変換することは機械的に変換することが困難である。なお、マスク試作方式の場合には、試作時からマスクを作成しており、マスクを作成するためのマスクパターンとなっており、試作時のマスクパターンをそのまま量産用のマスクパターンとして用いることができる。

【0008】

本発明は前記課題を解決するためになされたものであり、マスクを生産せず試作を作成することができるといったマスクレス試作方式の長所と量産時に試作時のパターン情報をそのまま使用することができるといったマスク試作方式の長所を併せ持つマスクレス試作方式とマスク試作方式を融合したマスクレス・マスク融合方式を実現した集積回路の設計方法、集積回路の設計方法に用いる設計支援プログラム及び集積回路設計システムを提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明に係る集積回路の設計方法は、パターン情報に基づいてマスクを用いることなく集積回路を作成するマスクレス工程及びパターン情報に基づいてマスクを用いて集積回路を作成するマスク工程に用いることができる共用設計環境下でマスクレス工程及びマスク工程に対応した試作用のパターン情報に基づき集積回路の試作をマスクを用いず作成し評価を経て必要に応じて改良を加え共通パターン情報を作成し、当該共通パターン情報に改良を加えることなく必要に応じて形式的変換を行って量産用のマスクを生成して使用するものである。ここで、形式的変換とは、最終的に形成されるチップに対して同一性を保ちながら変換することをいい、最終的な形成されるチップの同一性が保たれない実質的変換とはことなる。具体的には、ファイル形式を変換するものであったり、後記するOPC処理も形式的変換に該当する。また、試作を作成した後に、顧客の要請があれば、かかる要請に応じて共通パターン情報を修正し、修正したパターン情報を共通パターンとして保持し、試作を再び顧客に納める。マスクレス工程及びマスク工程における描画には数十工程あり、マスクレス工程であっても半導体素子のある複雑な階層部分に対する工程で電子ビーム直接描画装置が用いられて描画され、他の工程では光露光装置が用いられて描画されている。ここで集積回路の設計方法としているが、設計方法と製造方法とを画一的に区分けできない部分もあるので、設計方法に製造方法を含む意味で使用する場合がある。

【0010】

また、本発明に係る集積回路の設計方法は必要に応じて、前記共用設計環境は、集積回路の製造に必要なEDA (Electronic Design Automation) ソフト、検証ソフト、セルライブラリー、IP (Intellectual Property)、OPC (Optical and Process Correction) 処理ソフト等の設計Toolからなる設計環境を、前記マスクレス工程及びマスク工程で共用可能な形式で構築してなるものである。

【0011】

また、本発明に係る集積回路の設計方法は必要に応じて、複数の異なる集積回路、同一機能の集積回路ながら複数のパラメータを条件に持った複数の集積回路又はこれらの集積回路の組み合わせのパターン情報に基づき試作をマスクを用いず同一のウエーハ上に焼き付けて作成するものである。

【0012】

また、本発明に係る集積回路の製造方法は、外部要求に応じて前記作成したウエーハ上の複数のチップのうち指定されたチップに係る共通パターン情報に基づきマスクを作成し、当該マスクを用いてチップを大量生産するものである。ここで、外部要求とは、主にSemiconductorメーカーの量産発注であり、電気通信回線を用いて行われる場合等が該当するが、望ましくは、量産発注を受けて自動的に大量生産に移行するシステムを構築する方がよい。

【0013】

また、本発明に係る集積回路設計支援プログラムは、コンピュータを、集積回路の機能設計及び／又は論理設計を経て作成される設計情報を、パターン情報に基づいてマスクを用いることなく集積回路を作成するマスクレス装置のパターン特性及びパターン情報に基づいたマスクを用いて集積回路を作成するマスク装置のパターン特性を満たしたパターン情報に変換する変換手段として機能させるものである。このように本発明においては、作成される設計情報を、マスクレス装置のパターン特性及びマスク装置のパターン特性を満たしたパターン情報に変換する変換手段として機能させるので、マスクレス装置及びマスク装置のどちらにも同一のパターン情報で用いることができ、また、形式的にパターン情報が異なっている場合にも、少なくとも最終的なウエーハ上に形成されるチップが同一となり、マスクレス装置のみを使用する集積回路開発、マスク装置のみを使用する集積回路開発、並びに、マスクレス装置及びマスク装置を使用する集積回路開発にそのままパターン情報を用いることができ、様々な開発方法を用いることができる。ここで、マスクレス装置は具体的には電子ビーム直接描画装置であり、マスク装置は具体的には光露光装置である。

【0014】

また、本発明に係る集積回路設計プログラムは、前記変換手段がマスクレス装置のパターン特性及びマスク装置のパターン特性を満たしたパターン構成図の集合である共用セルライブラリーを用いてパターン情報に変換するものである。このように本発明においては、前記変換手段がマスクレス装置のパターン特性及びマスク装置のパターン特性を満たしたパターン構成図の集合である共用セルライブラリーを用いてパターン情報に変換するので、マスクレス装置のパターン情報とマスク装置のパターン形状が略同一となってどちらの装置を用いても同じチップを作成することができ、特に、マスクレス装置が電子ビーム直接描画装置の場合には共用セルライブラリーを用いて設計情報をパターン情報にしており、ブロック露光を行える回数が増えスループットの向上を望める。

【0015】

また、本発明に係る集積回路設計システムは必要に応じて、前記集積回路設計支援プログラムがコンピュータに読み込まれることによる集積回路設計支援装置と、前記マスクレス装置及びマスク装置とを備え、当該集積回路設計支援装置がパターン情報又はマスクレス装置に入力可能な形式のパターン情報に準じる準パターン情報をマスクレス装置に出力し、マスクレス装置が当該パターン情報又は準パターン情報に基づき集積回路の試作を作成し、当該試作に対して評価を行い必要に応じて改良を加えられた共通パターン情報に基づいたマスクをマスク装置が用いてチップを量産するものである。このように本発明においては、集積回路設計支援装置がパターン情報又は準パターン情報をマスクレス装置に出力し、マスクレス装置が当該パターン情報に基づき集積回路の試作を作成し、当該試作に対して評価を行い必要に応じて改良を加えた共通パターン情報に基づいたマスクをマスク装置が用いてチップを量産するので、マスクレス装置を用いて高価なマスクを用いることなく低コストで試作を作成し、必要に応じて改良を加え要求仕様を満たした試作となって顧客から量産の指示を受けた場合に、かかる要求仕様を満たした試作に係るパターン情報を用いて形式的変換をする以外は評価をすることなくマスクを作成して量産工程に移行することができ、通常マスクレス装置を用いた場合に試作段階の評価と量産段階の評価が必要になるにも拘らず不要となって、全体としてコストを著しく低減させることができると共に、開発期間も短縮することができる。

【0016】

また、本発明に係る集積回路設計システムは必要に応じて、前記変換手段が電子ビーム直接描画装置の電子ビーム幅により形成される繋ぎ目をアクティブ領域を避けたパターン情報に変換するものである。このように本発明においては、前記変換手段が電子ビーム直接描画装置の電子ビーム幅により形成される繋ぎ目をアクティブ領域を避けたパターン情報に変換するので、マスク装置としてみれば不必要な繋ぎ目処理が施されたパターン情報となっているが、マスクレス装置で安価にチップを作成して評価済みのチップに係るパターン情報に基づいてマスクを作成し、かかるマスクを用いてそのまま量産に移行すること

ができ、コスト低減が図れると共に、開発期間の短縮が望める。

【0017】

また、本発明に係る集積回路設計システムは必要に応じて、前記変換手段が変換したパターン情報をさらにマスク装置用にOPC処理を施したパターン情報に変換するものである。このように本発明においては、前記変換手段が変換したパターン情報をさらにマスク装置用にOPC処理を施したパターン情報に変換するので、評価済みのチップに係るパターン情報と同一のパターン情報ではないがかかるパターン情報を用いて作成されたマスクを使用して作成されたチップが評価済みのチップと同一となるため評価することなしに大量生産することができる。

【0018】

また、本発明に係る集積回路設計システムは必要に応じて、前記マスクレス装置が複数の前記パターン情報又はマスク装置に入力可能な形式のパターン情報に準じる準パターン情報に基づき試作をマスクを用いず同一のウエーハ上に焼き付けて作成するものである。このように本発明においては、前記マスクレス装置が複数の前記パターン情報に基づき試作をマスクを用いず同一のウエーハ上に焼き付けて作成しているので、マスクレス装置によれば同一ウエーハ上にいくつもの種類のチップを形成することができ、高価なウエーハ上に同一会社の複数種類のチップを複数社分形成してチップ形成のコスト削減することができる。

【0019】

また、本発明に係る集積回路設計システムは必要に応じて、外部要求に応じて前記同一ウエーハ上の指定されたそれぞれのチップに係る共通パターン情報に基づいたマスクをマスク装置を用いてチップを量産するものである。このように本発明においては、外部要求に応じて前記同一ウエーハ上の指定されたそれぞれのチップに係る共通パターン情報に基づいたマスクをマスク装置を用いてチップを量産するので、共通パターン情報を作成していれば後はほとんど人を介在させることなく、外部要求に応じて自動的に所望のチップを量産することができる。

【発明を実施するための最良の形態】

【0020】

（本発明の第1の実施形態）

本発明の第1の実施形態に係る集積回路設計システムについて図1ないし図7に基づき説明する。図1は本実施形態に係る開発工程の流れを示すブロック図、図2は本実施形態に係る集積回路設計システムのシステム構成図、図3は本実施形態に係る集積回路設計システムの共用設計環境の構成図、図4は本実施形態に係る繋ぎ目処理の説明図、図5は本実施形態に係るOPC処理の説明図、図6は本実施形態に係る共用セルライブラリの説明図、図7は本実施形態に係る共用セルライブラリの説明図である。

【0021】

本実施形態に係る集積回路設計システムは、集積回路の機能設計及び／又は論理設計を経て作成される設計情報を、パターン情報に基づいてマスクを用いることなく集積回路を作成するマスクレス装置10のパターン特性及びパターン情報に基づいたマスクを用いて集積回路を作成するマスク装置20のパターン特性を満たしたパターン情報に変換する変換手段31を有する集積回路設計支援装置30と、前記マスクレス装置10及びマスク装置20とを備え、集積回路設計支援装置30がパターン情報をマスクレス装置10に出力し、マスクレス装置10が当該パターン情報に基づき集積回路の試作を作成し、当該試作に対して評価を行い必要に応じて改良を加えた共通パターン情報に基づいたマスクをマスク装置20が用いてチップを量産する構成である。なお、集積回路（Integrated Circuits）は、LSI（Large Scaled IC）等の大規模集積回路を含む。

【0022】

マスク装置20は、パターン情報に基づいたマスクを用いて集積回路を作成する光露光装置21のことである。光露光装置21のパターン特性の一つとしては、図5（a）のマスクパターンのマスクを用いて光露光装置21により光露光を行うとマスクパターンの四

隅が削れた同図（a）の完成ウエーハ形状となる。これは光露光装置に用いる光がマスクを透過する場合、光の波長による回折が原因である。このため光露光装置を行う場合には所望の完成ウエーハ形状となるように削れる部分が生じる部分に、かかる削れが生じないように補うためのパターンを形成していた。具体的には、図5（b）の左端のマスクパターンに、次のマスクパターンを重ね合わせたさらに次のマスクパターンを用いることで完成ウエーハ形状としていた。このように通常のパターンに補うためのパターンを形成してパターン情報に変換することをOPC処理と呼ぶ。一方、マスクレス装置10の場合には、マスクを用いていないため、かかる削れる部分が生じることはなく削れを防止するためのOPC処理は行われていない。逆に、削れを防止するためのOPC処理をすることにより想定したパターンと異なる完成ウエーハ形状となる。

【0023】

マスクレス装置10は、パターン情報に基づいてマスクを用いることなく集積回路を作成するものであり、例えば電子ビーム直接描画装置11が該当する。電子ビーム直接描画装置11のパターン特性の一つとしては、電子ビームのスキャン幅に制限があるため1列スキャンを行った後に次の列をスキャンするときに繋ぎ目が生じる（図4（a）参照）ということである。この繋ぎ目が図4（b）のようにゲート電極形成部分に形成される場合にはトランジスタとしての性能に影響を与えるため不具合が生じる可能性が多分にある。一方、図4（c）に示すようにゲート電極形成部分に繋ぎ目を形成することなく配線部分に繋ぎ目を形成する場合には、配線が精度をそこまで要求することなく正常に動作することができるため、不具合が生じる可能性は略ない。したがって、このようにアクティブ領域に繋ぎ目が形成されないようにパターン情報を作成する繋ぎ目処理が電子ビーム直接描画装置11にとっては肝要である。一方、光露光装置21の場合には電子ビームを用いて一括露光するのであってスキャンするわけではないので、繋ぎ目は形成されず繋ぎ目を考慮した繋ぎ目処理を施したパターン情報は必要ない。なお、マスクレス装置10としては、電子ビーム直接描画装置11以外に、例えば、電子線の代わりにレーザービーム（Laser Beam）や光をスキャンしてウエーハ上に直接描画する原理を用いたレーザービーム直接描画装置を用いることもできる。この他の原理を用いるものであってもマスクを用いることなく、パターン情報に基づき集積回路を作成できる装置であればマスクレス装置10として用いることができる。特に、最近では、電磁波に弱く、専用のレジストの形成が難しい電子線の代わりに、かかるデメリットのないミラーデバイスを用いた光による描画を行う装置が用いられ始めようとしている。かかる装置もマスクレス装置となる。

【0024】

また、電子ビーム直接描画装置11は、光露光装置21に比べスループットが非常に悪い、繰り返してパターンからなるスタンプを電子ビームで描画するブロック露光を用いる。このブロック露光に関して電子ビーム直接描画装置11のパターン特性の一つとしては、ブロック露光で形成する部分が増加する程スループットが向上するというものである。現状マスク装置用のセルライブラリが用意され、このマスク装置用のセルライブラリを用いて作成したパターン情報を電子ビーム直接描画装置に用いており、電子ビーム直接描画装置用のセルライブラリはほとんど存在しなかった。マスク装置用のセルライブラリは、当然電子ビーム直接描画装置のブロック露光のことをまったく考慮していないため、最小レイアウトルールを遵守しながら最小パターンとなるようにパターン構成図が設計されているのみである。ここで最小レイアウトルールとは、セルパターンをレイアウトする場合の最小寸法のルールをいい、例えば、ソース・ドレイン、ゲート、スルーホール、A1配線幅等の最小寸法、加えて、スルーホールゲートの最小スペース等の項目について、各製造工程毎に決められているルールである。このためパターン構成図が細かい違いだけで多種なものが用意され、このようなパターン構成図からなるセルライブラリを用いてパターン情報を作成することからまったくブロック露光には適さないパターン情報となる。電子ビーム直接描画装置11に搭載できるブロック露光のためのマスクには制限があり、ブロック露光できる種類の数が制限される。したがって、すべてのパターンをブロック露光することはできない。このため折角スループット向上のためのブロック露光が電子ビ

ーム直接描画装置に用意されているものの十分な効果が得られていない。十分なスループットの向上を目標とするためには、ブロック露光を考慮した電子ビーム直接描画装置用のセルライブラリが必要となる。一方、光露光装置の場合には電子ビームを用いて一括光露光するのであってスキャンするわけではないので、十分なスループットを備えている。

【0025】

前記集積回路設計支援装置30は、集積回路の設計情報を、マスクレス装置10のパターン特性及びマスク装置20のパターン特性を満たしたパターン情報に変換する変換手段31を有し、設計環境を担うものの1つである。設計環境は、従来から色々な形式で提案されてきており、構成要素としてEDA (Electronic Design Automation) ソフト、検証ソフト、セルライブラリ、IP (Intellectual Property) 34、OPC (Optical and Process Correction) 処理ソフト等を例示することができる。図3に示すように、一般的には設計者は設計情報に基づきEDAソフトを用いて各工程の成果物（パターン情報等）を作成する。汎用回路の集合であるIP34及びパターン構成図の集合であるセルライブラリは、通常EDAソフトを使って使用される。これらの設計環境の構成要素とは別に設計環境の構成要素として集積回路設計支援装置30が実装されたり、EDAソフト32の中の一機能として実装されたりする場合もある。

【0026】

前記変換手段31は、設計情報をパターン情報に変換するのであるが、光露光装置21及び電子ビーム直接描画装置11両用の両用セルライブラリ33を用いて変換する。この両用セルライブラリ33は、従来のマスク装置用のセルライブラリとは異なり、ブロック露光を考慮した電子ビーム直接描画装置11用のセルライブラリと略同一である。略同一としたのは、光露光装置21の制限で必ずパターン構成図のあるパターンとしなければならない場合が想定され、その場合には厳密に電子ビーム直接描画装置用のセルライブラリと同一ではないからである。この両用セルライブラリ33を用いることにより、光露光装置21にとっては若干冗長なパターン情報になることが予想されるが、ブロック露光によるスループット向上の効果に比べれば小さな悪因にすぎない。というのは、トランジスタ自体の微細化により半導体の集積率が著しく向上していった現状を勘案すればパターンの若干の大小により集積回路全体として受ける影響が些細なものであることは明らかであろう。マスク装置20用のセルライブラリと共用セルライブラリ33との具体的な比較例を示したのが図6である。全体図面の行ではマスク装置20用のセルライブラリは3種類のパターン形成を有し、共用セルライブラリ33もそれに対応する3種類のパターン形状を有している。この全体図面ではマスク装置20用のセルライブラリのパターン形状は共用セルライブラリのパターン形状に比べコンパクトに形成されている。しかし、パターン形状を構成するソース・ドレインパターン、ゲート・パターン、スルーホールパターン及び配線パターンのパターン構成図に分けて見ると（実際はこれ以外にウェル、多層配線等層数は15ないし50層にもなるが、ここでは説明の便宜のため4層のみとしている）、マスク装置20用のセルライブラリが12種類のパターン構成図を要するのにも拘らず、共用セルライブラリ33ではその半分のパターン構成図しか必要としないことがわかる。このようにしてパターン構成図を少なくすることでブロック露光によりパターンを形成できる回数を増やしてスループットを向上させる。なお、同図では1つのトランジスタを例題にしたが、複数のトランジスタがセルとして構成されていても全く同様に共用セルライブラリではパターン構成図が少なくなる。また、従来1セルあたりのパターン形状としては機能ブロック毎にセルライブラリに登録されていた。機能ブロックとは、例えば、インバータ、NAND等の論理ゲートのことを示す。図7ではNANDの場合について回路図（図7（a））、従来のマスク装置20用のセルライブラリに登録されているパターン形状（図7（b））、共用セルライブラリに登録されているパターン形状（図7（c））を示している。すなわち、図7（b）のパターン形状の場合マスク装置20で光露光する場合には一括してできるためなんら問題が生じないが、図7（b）のパターン形状のままマスクレス装置10で描画する場合には数10ないし数百倍の時間が掛ってしまう。そこで、図7（b）のパターン形状を用いることで略ブロック露光でパターン形成することができる。

【0027】

また、前記変換手段31は、繋ぎ目処理を行ってパターン情報とする。この繋ぎ目処理は、従来から電子ビーム直接描画装置11のパターン情報に対しては行っていたのであるが、光露光装置21のパターン情報に対しては行っていない。これは光露光装置は繋ぎ目が生じないため繋ぎ目処理を施す必要ないことと、施すことによって若干冗長なパターン情報になるからである。

【0028】

また、前記変換手段31は、変換されたパターン情報に対して光露光装置21のパターン情報にするためにOPC処理を施す。前記両用セルライブラリ33及び繋ぎ目処理までの変換においては電子ビーム直接描画装置11のパターン情報と光露光装置21のパターン情報とは同一であるが、OPC処理をすると電子ビーム直接描画装置11のパターン情報と光露光装置21のパターン情報は同一でなくなる。これは電子ビーム直接描画装置11にはOPC処理をすることで不具合が生じるからである。すなわち、電子ビーム直接描画装置11に対してOPC処理を施すと、前記したように想定したパターンと異なる完成ウエーハ形状となるからである。確かに、パターン情報は同一ではなくなったが、OPC処理していないパターン情報に基づき電子ビーム直接描画装置11によりウエーハに描画し試作された集積回路と、OPC処理しているパターン情報に基づき光露光装置21によりウエーハに光露光し試作された集積回路とが同一となる。よって、図5(c)に示すように、電子ビーム直接描画装置11にはOPC処理していないパターン情報を出力して集積回路を作成し、光露光装置21にはOPC処理済みのパターン情報を出力して集積回路を作成する。このように切りわけることによって、同一の完成ウエーハ形状を得ることができる。

【0029】

次に、本実施形態に係る集積回路設計システムの動作について説明する。ここで、集積回路設計支援装置30は、EDAソフト32の中の一機能として実装された場合について説明する。また、マスクレス装置10は電子ビーム直接描画装置11とし、描画するための機能以外に端末が備えつけられておりパターン情報から描画情報に変換し描画可能とする。マスク装置20は光露光装置21とする。マスク装置のためのマスクを作成するマスク作成装置40も用意されていることとし、このマスク作成装置40にはパターン情報に基づきマスクを作成することができる端末が備わっていることとする。本実施形態に係る集積回路設計システムの動作事態にも特徴があり、マスクを生産せず試作を作成することができるといったマスクレス試作方式の長所と量産時に試作時のパターン情報をそのまま使用することができるといったマスク試作方式の長所を併せ持つマスクレス試作方式とマスク試作方式を融合したマスクレス・マスク融合方式を実現した集積回路の設計方法を実装している。

【0030】

まず、顧客(SeTメーカー)でシステム設計をし(ステップ1)半導体メーカーに対して試作発注を機能仕様書を伴って行う(ステップ2)。SeTメーカから機能仕様書が送られてきて、それを受け取った設計管理者は機能仕様書(機能図、HDL、論理式、真理値表)を見て、使用できるIPを探しIPがない部分について担当割けし部下である設計者にそれぞれの担当部分の機能仕様書を渡す。各担当者は、機能仕様書をEDAソフトのうち論理合成のソフトに送り、論理合成のソフトがある程度の論理回路(ネットリスト)を作成する。この論理回路(ネットリスト)で完成していない部分や不備がある部分を設計者が見つけ回路図設計のソフトを用いて適宜IPを参照して論理回路(ネットリスト)を完成させる。次に、各設計者は作成したネットリストに対して論理シュミレーションを行い、適宜EDA Toolのうち回路図設計のソフトで修正を行う。それぞれの設計者の担当部分が完成した後に、各論理回路(ネットリスト)を組み合わせてさらにEDA Toolのうちシュミレーションソフトを用いて論理シュミレーションを行い、不備がある場合には適宜設計者に担当部分を戻し、全体の論理回路(ネットリスト)が完成するまで行う。

【0031】

完成した論理回路(ネットリスト)をEDA Toolのうち集積回路設計支援装置が機能化し

レイアウト設計ツールに送り、変換手段が両用セルライブラリ33を参照しながら繋ぎ目処理をしてパターン情報を作成する。作成されたパターン情報をEDA Toolのうちレイアウト検証ツールを用いて検証し、適宜レイアウト設計ツールにより修正を行ってパターン情報を完成させる。以上のようにしてLSI設計を行う（ステップ3）。

【0032】

完成したパターン情報を電子ビーム直接描画装置11に出力する。電子ビーム直接描画装置11は、ウエーハをマスクなしに直接描画してウエーハ（シャトル）を完成させ（ステップ4）、ウエーハ上のチップに対して評価を行い（ステップ5）、所望の要求仕様が満たされない場合には設計をやり直しマスクパターンを作成し直し、評価の結果が仕様を満たすまで繰り返し行われる（評価はウエーハ上のチップのみならず、チップをマウントした状態、パッケージした状態でも同様に行われる）。所望の評価が得られた場合には、かかるパターン情報を共通パターン情報として保存する。Setメーカーには、チップをパッケージに封入したWS（Working Sample）を顧客（Setメーカー）に納入し（ステップ6）、顧客（Setメーカー）はかかるWSを評価する（ステップ7）。評価の結果顧客（Setメーカー）が変更を要すると判断した場合には顧客はシステム設計に移行して再び試作・発注を行う。評価の結果顧客（Setメーカー）が変更を要しないと判断した場合には半導体メーカーに対して量産発注を行う（ステップ8）。半導体メーカーは前記と同一設計環境となるEDAソフト32、セルライブラリ33、レイアウトルール、IP34等を使用して量産発注を受けた時の共通パターン情報に対して変換手段31がOPC処理を行ってOPC処理済みパターン情報としてマスク作成装置40に出力する。マスク作成装置はかかるOPC処理済みパターン情報に基づきマスクを作成する（ステップ9）。このマスクを修正を行うことなく量産用マスクとして用いて量産を行う（ステップ10）。製品を製造した後顧客（Setメーカー）にかかる製品を納品する（ステップ11）。

【0033】

このように本実施形態に係る集積回路設計システムよれば、集積回路の機能設計及び／又は論理設計を経て作成される設計情報を、パターン情報に基づいてマスクを用いることなく集積回路を作成するマスクレス装置10のパターン特性及びパターン情報に基づいたマスクを用いて集積回路を作成するマスク装置20のパターン特性を満たしたパターン情報に変換する変換手段31を有する集積回路設計支援装置30を備えているので、マスクレス装置10及びマスク装置20のどちらにも同一のパターン情報で用いることができ、また、形式的にパターン情報が異なっている場合にも、少なくとも最終的なウエーハ上に形成されるチップが同一となり、マスクレス装置10のみを使用する集積回路開発、マスク装置20のみを使用する集積回路開発、並びに、マスクレス装置10及びマスク装置20を使用する集積回路開発にそのままパターン情報を用いることができ、様々な開発方法を用いることができる。また、本実施形態に係る集積回路設計システムによれば、前記変換手段31がマスクレス装置10のパターン特性及びマスク装置20のパターン特性を満たしたパターン構成図の集合である共用セルライブラリ33を用いてパターン情報に変換するので、マスクレス装置のパターン情報とマスク装置のパターン形状が略同一となっており、どちらの装置を用いても同じチップを作成することができ、特に、マスクレス装置10が電子ビーム直接描画装置11の場合には共用セルライブラリを用いて設計情報パターン情報にしており、ブロック露光を行える回数が増えスループットの向上を望める。また、本実施形態に係る集積回路設計システムよれば、当該集積回路設計支援装置30がパターン情報をマスクレス装置10に出力し、マスクレス装置10が当該パターン情報に基づき集積回路の試作を作成し、当該試作に対して評価を行い必要に応じて改良を加えた共通パターン情報に基づいたマスクをマスク装置20が用いてチップを量産するので、マスクレス装置10を用いて高価なマスクを用いることなく低コストで試作を作成し、必要に応じて改良を加え要求仕様を満たした試作となって顧客から量産の指示を受けた場合に、かかる要求仕様を満たした試作に係るパターン情報を用いて形式的変換をする以外は評価をすることなくマスクを作成して量産工程に移行することができ、通常マスクレス装置10を用いた場合に試作段階の評価と量産段階の評価が必要になるにも拘らず不要となって、全体

としてコストを著しく低減させることができると共に、開発期間も短縮することができる。さらには、図10の従来のマスクレス試作方式によれば、試作段階で半導体メーカーAを顧客が指名して試作を作らせた後、量産段階で半導体メーカーBを顧客が指定して量産させている場合もあったが、すなわち、試作段階と量産段階との関連性が希薄であって別々の会社に発注する場合と同一の会社に一貫して試作段階及び量産段階を発注する場合とで顧客から見るとどちらの場合でも同じ開発期間を要して同一チップができるため全体としてコストが低くなるように会社を選んでいたが、本発明によれば、試作段階と量産段階との関連性が強固となって半導体メーカーからみれば顧客の囲い込みをすることができ、一方顧客から見れば開発期間が著しく短期間となる利益を受けることができる。また、本実施形態に係る集積回路設計システムによれば、前記変換手段が電子ビーム直接描画装置の電子ビーム幅により形成される繋ぎ目をアクティブ領域を避けたパターン情報に変換するので、マスク装置20としてみれば不必要な繋ぎ目処理が施されたパターン情報となっているが、マスクレス装置10で安価にチップを作成して評価済みのチップに係るパターン情報に基づいてマスクを作成し、かかるマスクを用いてそのまま量産に移行することができ、コスト低減が図れると共に、開発期間の短縮が望める。また、本実施形態に係る集積回路設計システムによれば、前記変換手段が変換したパターン情報をさらにマスク装置用にOPC処理を施したパターン情報に変換するので、評価済みのチップに係るパターン情報と同一のパターン情報ではないがかかるパターン情報を用いて作成されたマスクを使用して作成されたチップが評価済みのチップと同一となるため評価することなしに大量生産することができる。

【0034】

なお、本実施形態に係る集積回路設計システムにおいては、パターン情報をそのまま電子ビーム直接描画装置又は光露光装置に出力したが、パターン情報を電子ビーム直接描画装置又は光露光装置に理解できる形式に形式的な変換をして出力することもできる。

【0035】

また、本実施形態に係る集積回路設計システムにおいては、集積回路設計支援装置は、EDA Toolsの中の一機能として実装された場合について説明したが、設計環境の構成要素として集積回路設計支援装置を実装することもでき、例えば、設計情報からパターン情報に変換するEDA Toolsがあった場合には、このEDA Toolsの要求に応じて共用セルライブラリ33を読み出したり、繋ぎ目処理、OPC処理を行ったりすることができる。また、集積回路設計支援装置30は、複数の装置から構成されていてもよく、共用セルライブラリ33を読み出す装置、繋ぎ目処理をする装置及びOPC処理をする装置から構成されていてもよい。

【0036】

また、本実施形態に係る集積回路設計システムにおいては、マスク作成装置40によりマスクを作成するとしたが、通常マスクを作成する装置は電子ビーム直接描画装置11と同じ原理の電子ビームマスク描画装置41であり、当該電子ビーム直接描画装置11がマスクレス装置10とマスク作成装置40を担うことも可能である。

【0037】

(本発明の第2の実施形態)

本発明の第2の実施形態に係る集積回路設計システムについて図8に基づき説明する。図8は本実施形態に係る集積回路設計システムのシステム構成図である。

【0038】

本実施形態に係る集積回路設計システムは、前記第1の実施形態に係る集積回路設計システムと同様に構成され、加えて、第1に前記マスクレス装置10が複数の前記パターン情報に基づき試作をマスクを用いず同一のウエーハ上に焼き付けて作成し、第2に外部要求に応じて前記同一ウエーハ上の指定されたそれぞれのチップに係る共通パターン情報に基づいたマスクをマスク装置を用いてチップを量産する点を特徴とする構成である。

【0039】

本実施形態に係る集積回路設計システムの動作説明を第1の実施形態に係る動作説明に

組み入れて説明する。前記ステップ1ないしステップ3までは同様に行ってパターン情報を複数用意しておく。次に、複数のパターン情報を電子ビーム直接描画装置11に出力し、マスクなしに直接描画して複数のチップを形成してウエーハ（シャトル）を完成させる。同一ウエーハ上のそれぞれのチップに対して評価を行い、所望の仕様が得られない場合には設計をやり直しマスクパターンを作成し直し、評価の結果が仕様を満たすまで繰り返し行われる（評価はウエーハ上のチップのみならず、チップをマウントした状態、パッケージした状態でも同様に行われる）。所望の評価が得られた場合には、かかるパターン情報を共通パターン情報として保存する。Setメーカーには、それぞれのチップをパッケージに封入したWS（Working Sample）をそれぞれの顧客（Setメーカー）に納入し、各顧客（Setメーカー）はかかるWSを評価する。評価の結果顧客（Setメーカー）が変更を要すると判断した場合には顧客はシステム設計に移行して再び試作・発注を行う。評価の結果各顧客（Setメーカー）が変更を要しないと判断した場合には半導体メーカーに対して随時量産発注を行う。半導体メーカーは前記と同一設計環境となるEDAソフト32、セルライブラリ33、レイアウトルール、IP34等を使用して量産発注を受けた時の共通パターン情報に対して変換手段31がOPC処理を行ってOPC処理済みパターン情報としてマスク作成装置40に出力する。マスク作成装置はかかるOPC処理済みパターン情報に基づきマスクを作成する。このマスクを修正を行うことなく量産用マスクとして用いて量産を行う。製品を製造した後顧客にかかる製品を納品する。

【0040】

このように本実施形態に係る集積回路設計システムによれば、前記マスクレス装置10が複数の前記パターン情報に基づき試作をマスクを用いず同一のウエーハ上に焼き付けて作成しているので、マスクレス装置10によれば同一ウエーハ上にいくつもの種類のチップを形成することができ、高価なウエーハ上に同一会社の複数種類のチップを複数社分形成してチップ形成のコスト削減することができる。例えば、1枚のウエーハが100【万円】とすると、10社（10品種）でシェアすると10万円のコストで済む。通常、1枚のウエーハから500ないし1000【個】のチップを形成することができ、試作品として同一種類のチップは10ないし20個で十分であるため、十分複数の会社でシェアすることができ、コストを低減することができる。なお、マスク装置20の場合には同一ウエーハ上に4ないし6種類のチップを形成するのが限界であった（原因はマスクの寸法制限である）。また、本実施形態に係る集積回路設計システムによれば、外部要求に応じて前記同一ウエーハ上の指定されたそれぞれのチップに係る共通パターン情報に基づいたマスクをマスク装置を用いてチップを量産するので、共通パターン情報を作成していれば後はほとんど人を介在させることなく、外部要求に応じて自動的に所望のチップを量産することができる。また、図8に示すように、本集積回路設計システムと、複数の顧客の設計端末と通信回線によりデータ通信可能とすることにより、世界中の顧客から同時に開発を請け負うことができ、試作から量産への一貫した開発工程を実現することができる。また、量産工程が略人を介在させることなく可能であるということは、納品日の決定が行いやすく、顧客は随時半導体メーカーに問い合わせることで、正確な納品日の回答を迅速に受けることができる。

【図面の簡単な説明】

【0041】

【図1】 本発明の第1の実施形態に係るの開発工程の流れを示すブロック図である。

【図2】 本発明の第1の実施形態に係る集積回路設計システムのシステム構成図である。

【図3】 本発明の第1の実施形態に係る集積回路設計システムの共用設計環境の構成図である。

【図4】 本発明の第1の実施形態に係る繋ぎ目処理の説明図である。

【図5】 本発明の第1の実施形態に係るOPC処理の説明図である。

【図6】 本発明の第1の実施形態に係る共用セルライブラリの説明図である。

【図7】 本発明の第1の実施形態に係る共用セルライブラリの説明図である。

【図 8】 本発明の第 2 の実施形態に係る集積回路設計システムのシステム構成図である。

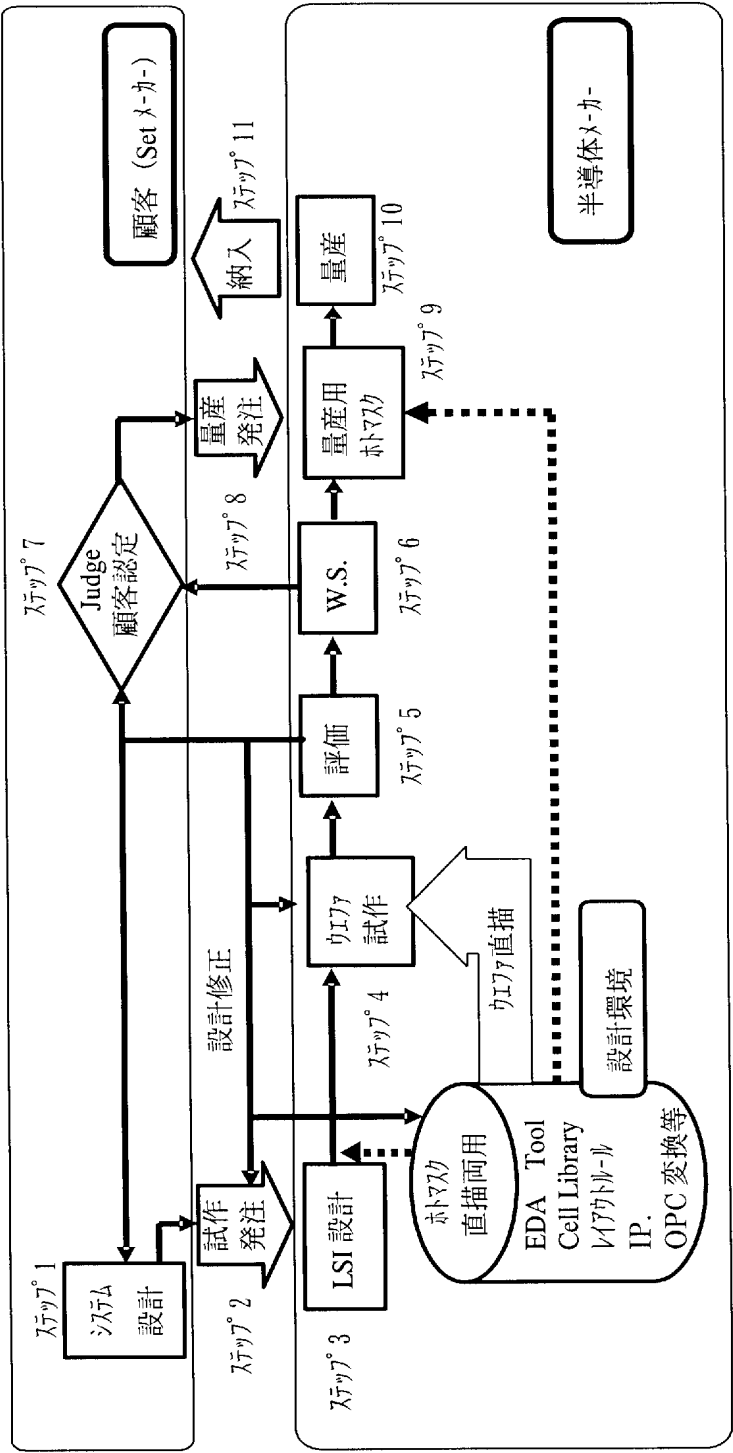
【図 9】 従来のマスク試作方式の開発工程の流れを示すブロック図である。

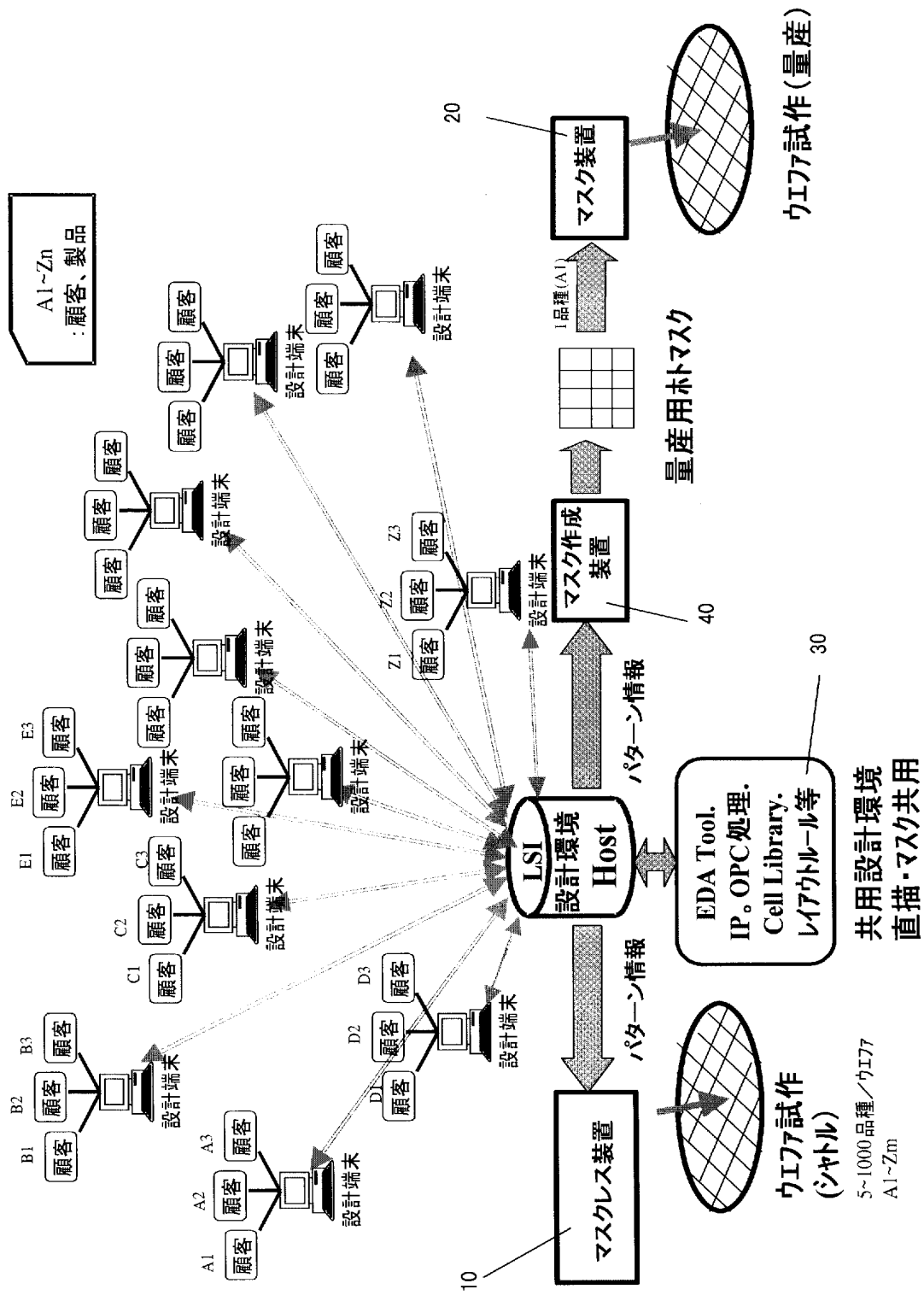
【図 10】 従来のマスクレス試作方式の開発工程の流れを示すブロック図である。

【符号の説明】

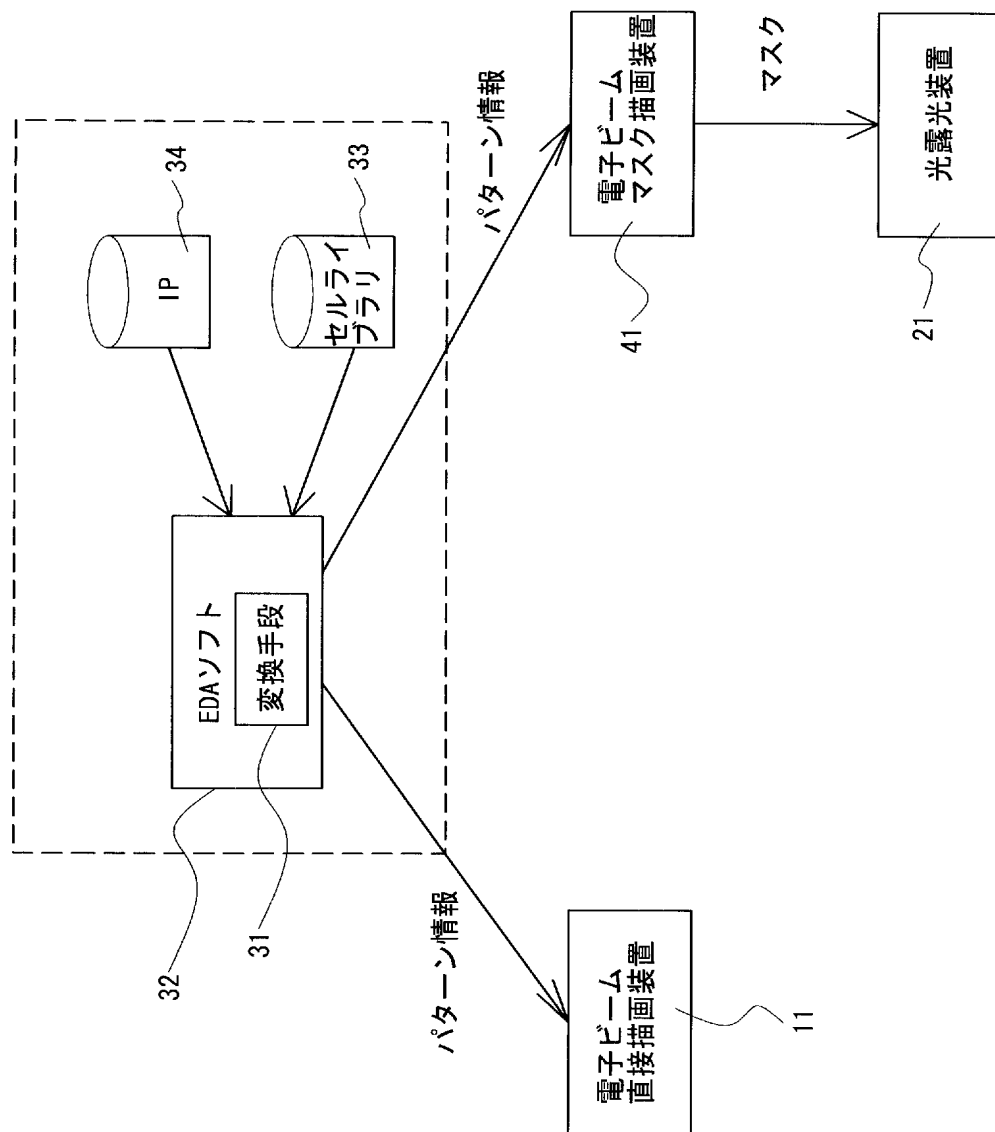
【 0 0 4 2 】

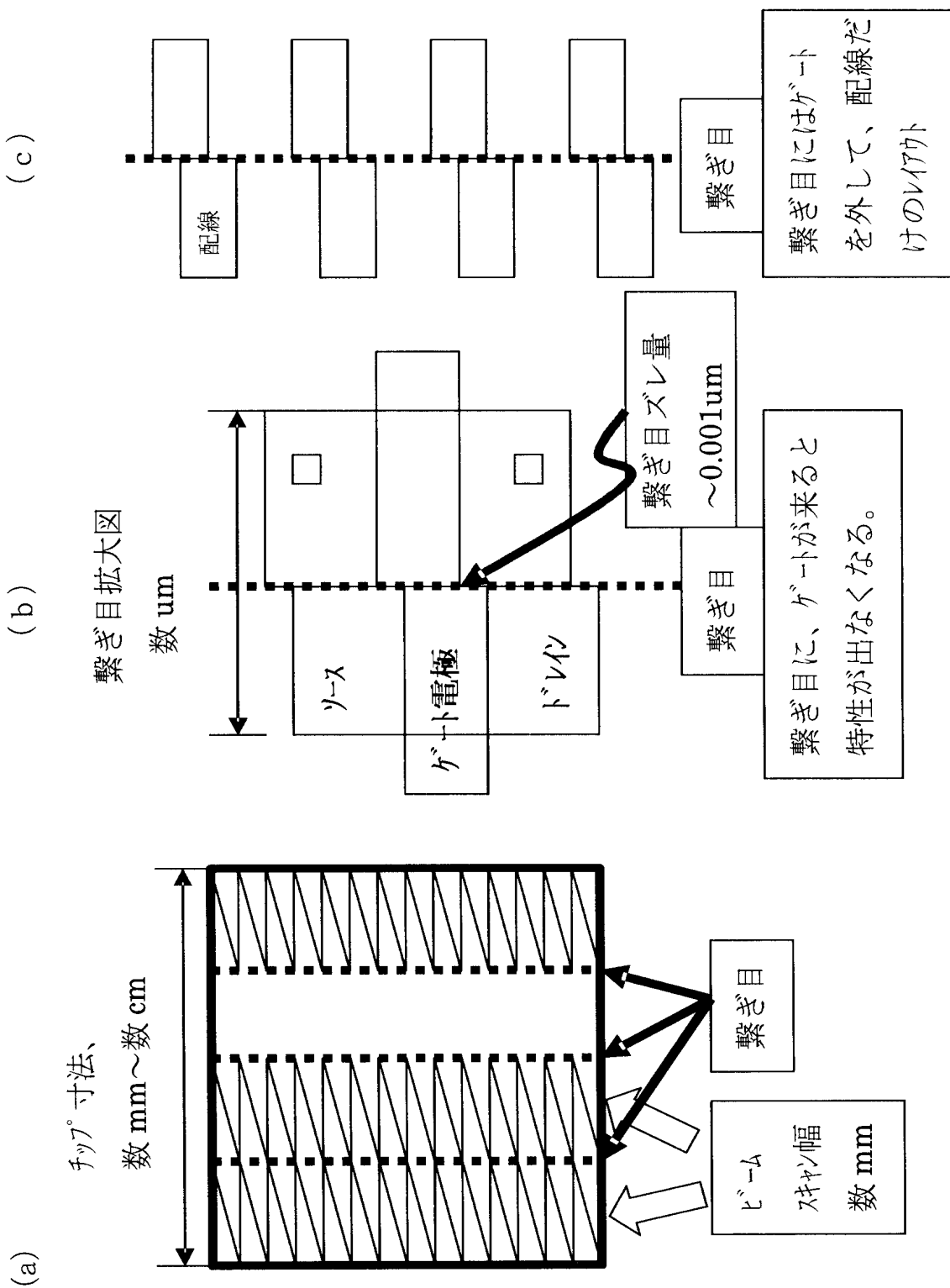
- 1 0 マスクレス装置
- 1 1 電子ビーム直接描画装置
- 2 0 マスク装置
- 2 1 光露光装置
- 3 0 集積回路設計支援装置
- 3 1 変換手段
- 3 2 EDAソフト
- 3 3 両用セルライブラリ
- 3 4 IP
- 4 0 マスク作成装置
- 4 1 電子ビームマスク描画装置

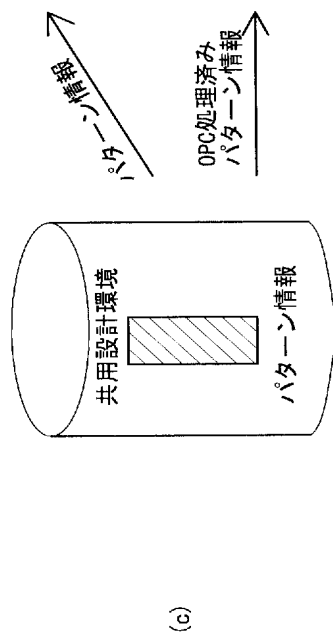
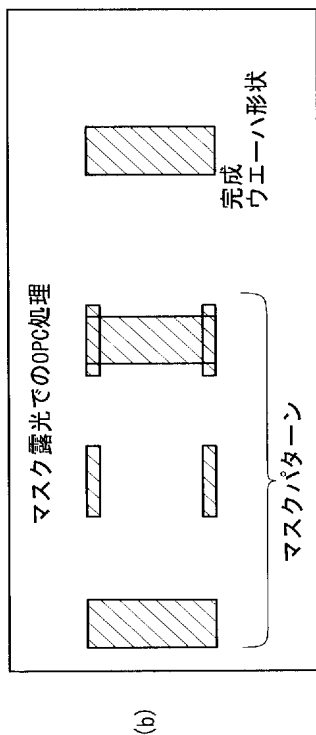
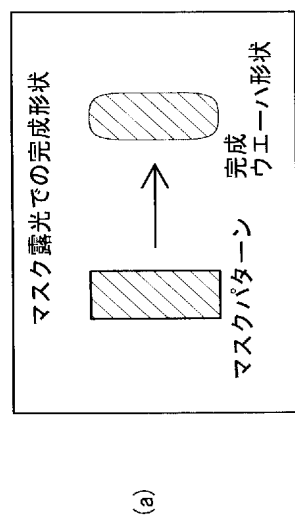




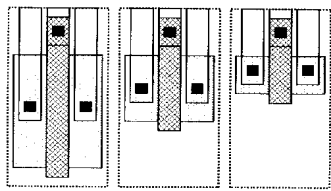
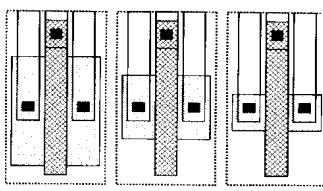
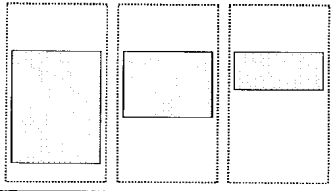
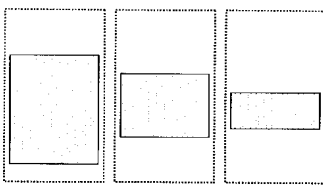
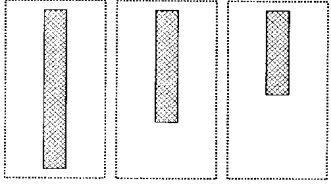
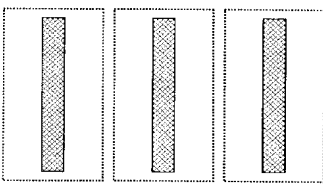
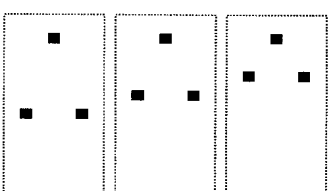
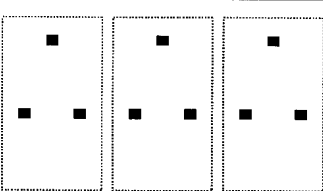
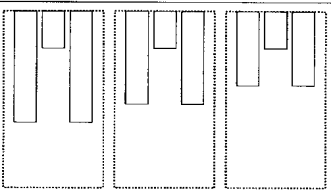
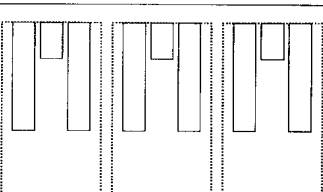
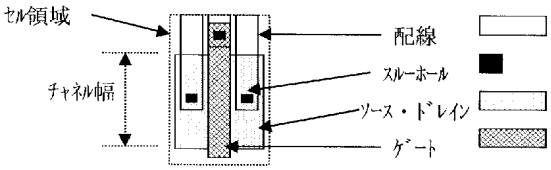
【図 3】

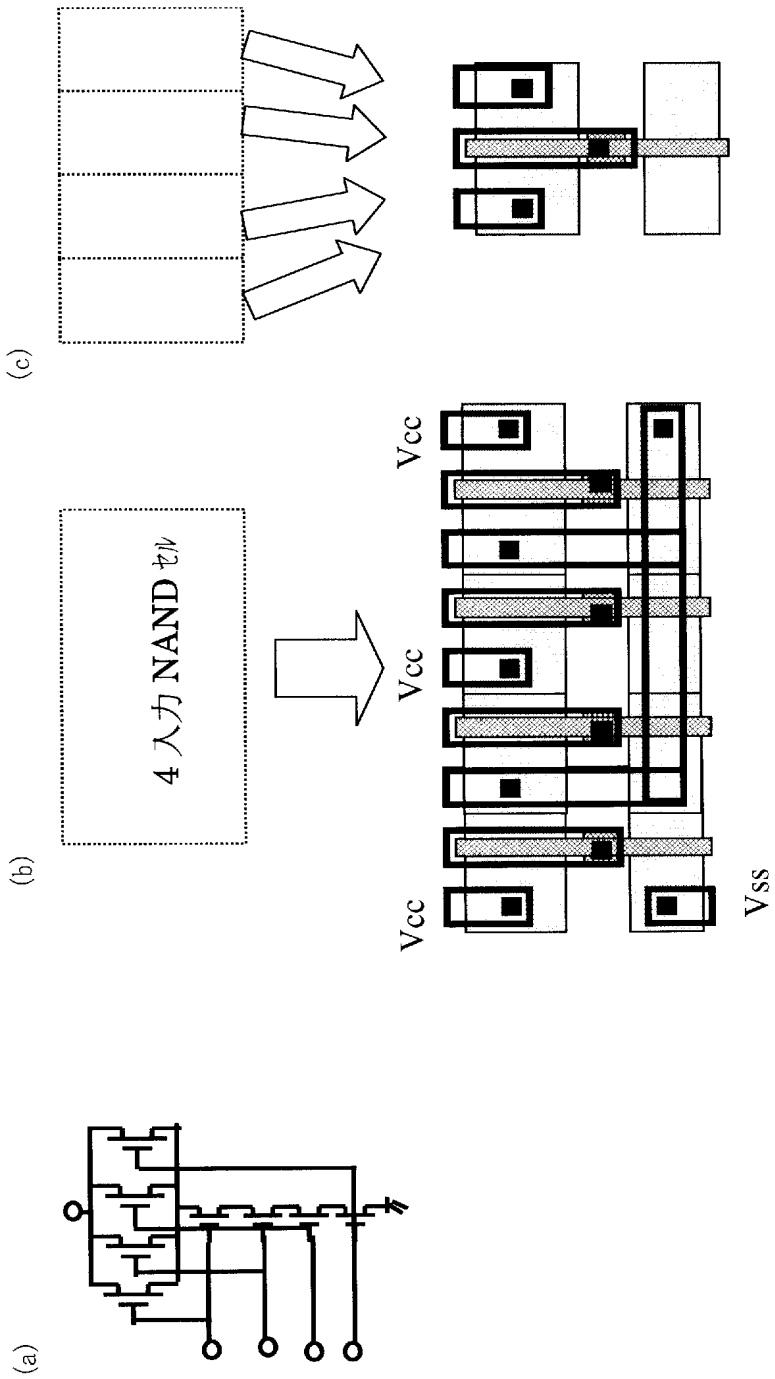


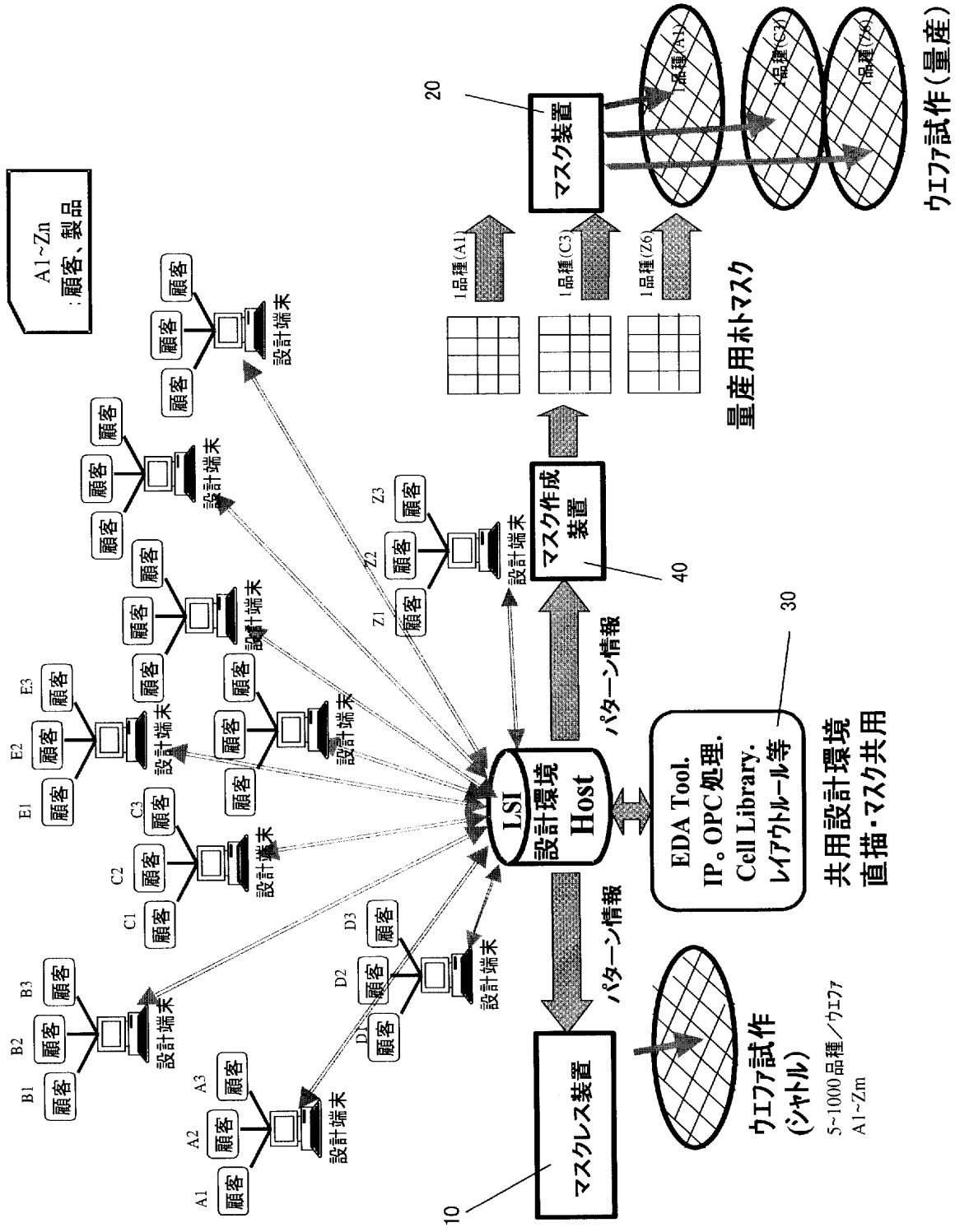


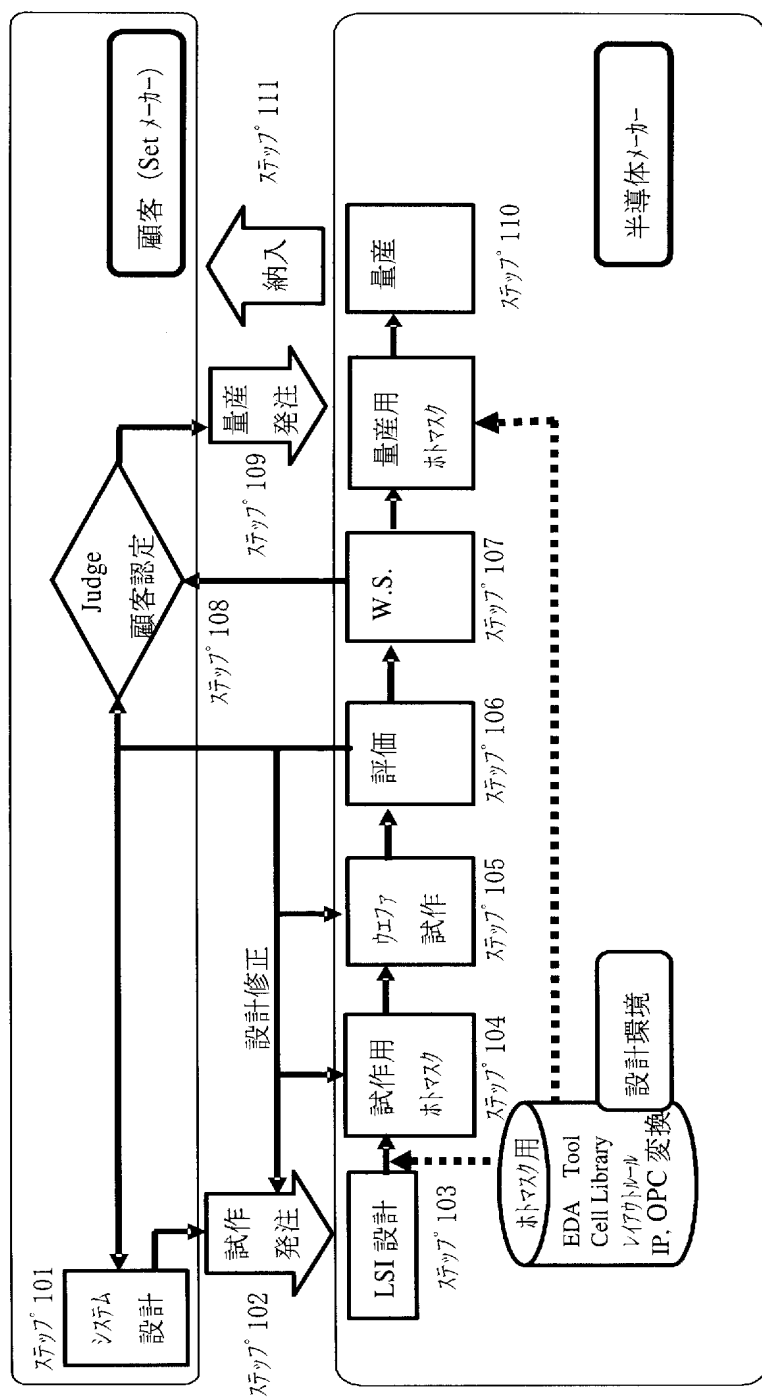


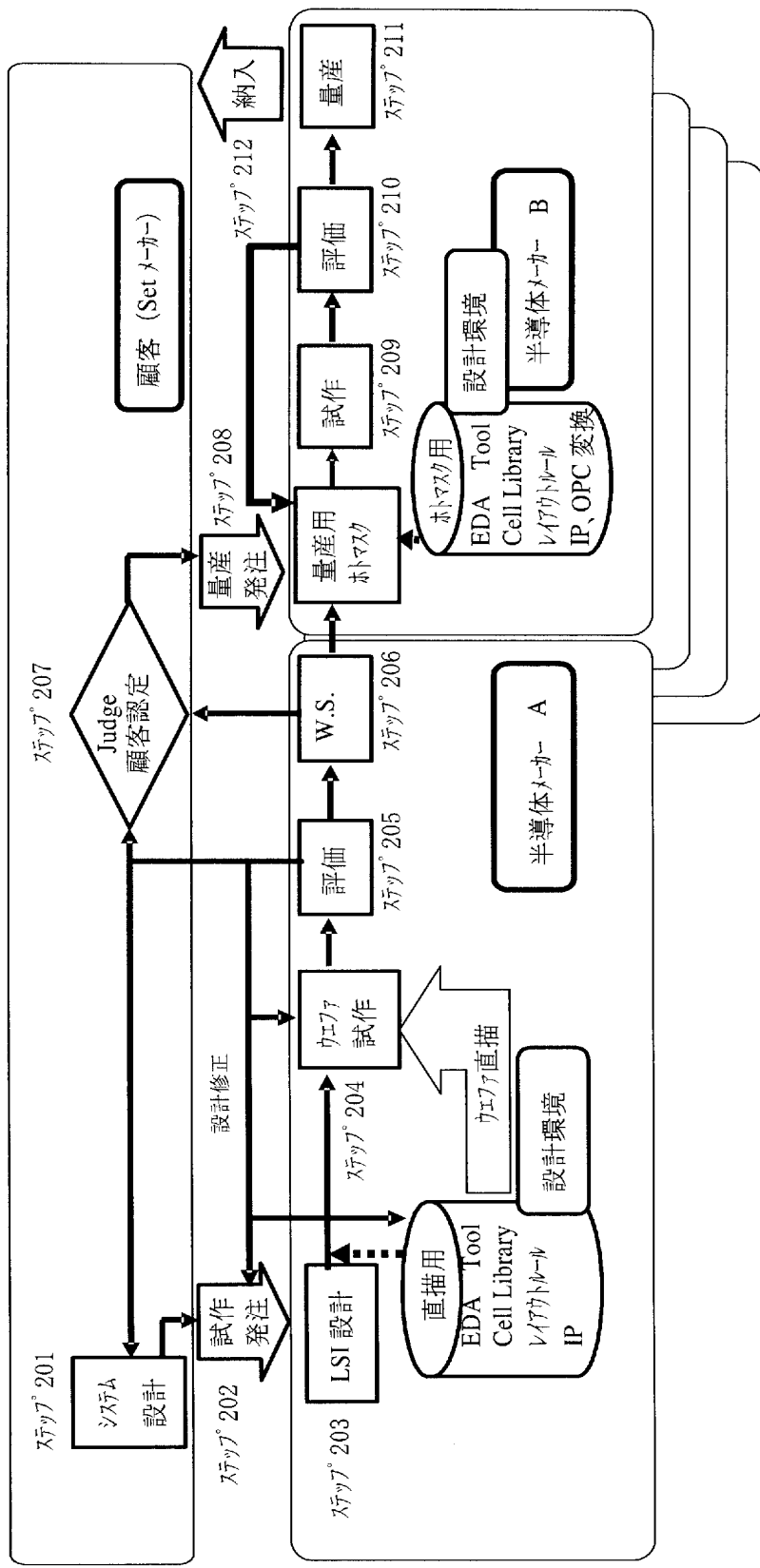
【図 6】

	ホトマスク用（従来）ライブラiserセル		共用（マスク・直描）ライブラiserセル	
	セルパター形状	ショット数	セルパター形状	ショット数
全体図面				
ソース・ドレインパターン		ショット数 3種類		ショット数 3種類
ゲートパターン		ショット数 3種類		ショット数 1種類
スルーホールパターン		ショット数 3種類		ショット数 1種類
配線 (Al、Cu) パターン		ショット数 3種類		ショット数 1種類
ショット数 合計	3+3+3+3=12種		3+1+1+1=6種	
パターンの説明				









【書類名】 要約書

【要約】

【課題】 マスクを生産せず試作を作成することができるといったマスクレス試作方式の長所と量産時に試作時のパターン情報をそのまま使用することができるといったマスク試作方式の長所を併せ持つマスクレス試作方式とマスク試作方式を融合したマスクレス・マスク融合方式を実現した集積回路の設計方法、集積回路の設計方法に用いる設計支援プログラム及び集積回路設計システムを提供する。

【解決手段】 パターン情報に基づいてマスクを用いることなく集積回路を作成するマスクレス工程及びパターン情報に基づいてマスクを用いて集積回路を作成するマスク工程に用いることができる共用設計環境下でマスクレス工程及びマスク工程に対応した試作用のパターン情報に基づき集積回路の試作をマスクを用いず作成し評価を経て必要に応じて改良を加え共通パターン情報を作成し、当該共通パターン情報に改良を加えることなく必要に応じて形式的変換を行って量産用のマスクを生成して使用する。

【選択図】 図 2

出願人履歴

5 0 3 3 6 0 1 1 5

20031001

新規登録

埼玉県川口市本町4丁目1番8号

独立行政法人 科学技術振興機構

5 0 3 3 6 0 1 1 5

20040401

名称変更

埼玉県川口市本町4丁目1番8号

独立行政法人科学技術振興機構